



AC781x 硬件设计指南

文档版本: 0.2
发布日期: 2020-04-17

© 2013 - 2020 杰发科技

本文档包含杰发科技的专有信息。未经授权，严禁复制或披露本文档包含的任何信息。
由于产品版本升级或其他原因，本文档内容会不定期进行更新。

修订记录

版本	日期	作者	修订说明
0.1	2019-07-16	Autochips	文档初版
0.2	2020-04-17	Autochips	修正复位、NMI 引脚电路设计描述

文档目录

修订记录	2
文档目录	4
插图目录	5
表格目录	6
1 概述	7
2 AC781X 电源引脚和电路设计	8
3 外部时钟振荡器电路设计	9
4 复位电路、NMI 及 BOOT 引脚设计	10
4.1 NRST 脚复位电路设计	10
4.2 NMI 引脚电路设计	10
4.3 BOOT 引脚电路设计	10
4.4 复位电路、NMI 及 BOOT 引脚参考电路	11
5 ADC 模拟输入电路设计	12
6 调试接口电路设计	13
7 其他	14
7.1 UARTTX_SFLASH 引脚	14
7.2 GPIO 外部中断唤醒引脚	14
7.3 未用到的 I/O pin 脚处理	14
8 PCB 设计建议	15
8.1 电源部分 PCB 设计建议	15
8.2 晶振电路 PCB 设计建议	16

插图目录

图 2-1 电源电路设计参考电路.....	8
图 3-2 晶振参考电路	9
图 4-3 Boot 模式配置	10
图 4-4 复位电路、NMI 及 BOOT 引脚参考电路	11
图 6-5 SWD 口参考电路	13
图 6-6 SWD 信号描述	13
图 8-7 旁路电容 PCB 参考设计	15
图 8-8 外部晶振 PCB 参考设计.....	16

表格目录

表 2-1 AC781x 电源引脚名称、分布及功能描述	8
表 3-2 外部晶振参数及负载电容	9

1 概述

在进行嵌入式系统设计时，硬件电路设计的好坏不仅关系到整个系统的功能实现和可靠性，还会对系统软件的复杂程度产生影响。本章节以 AC781X 芯片为对象，介绍采用 AC781X MCU 进行最小系统硬件设计时，需要了解的一些硬件设计注意事项和设计原则。

2 AC781X 电源引脚和电路设计

AC781x 支持 2.7~5.5V 宽电压输入，为了提供稳定的电源，芯片使用多组电源引脚分别为数字电路、IO 引脚驱动、AD 转换电路等供电，并且提供多处电源引出脚，便于用户外接滤波电容，改善系统的电磁兼容性。

表 2-1 AC781x 电源引脚名称、分布及功能描述

引脚名称		功能描述	典型值	引脚号 (LQFP64)	引脚号 (LQFP80)
电源输入	DVDD50_x/DVSS50_x	数字电源输入正/负	3.3V 或 5V/0V	35/34, 59/58	43/42, 72/71
	AVDD50/AVSS50	AD 模块的电源输入正/负	3.3V 或 5V/0V	10/9	13/12
	AVDD50_IO/AVSS50_IO	AD 模块的 IO 口电源输入正/负	3.3V 或 5V/0V	11/12	14/15

MCU 主电源供电引脚设计：在电路设计时需要在每对引脚外部分别放置至少一个去耦电容（0.1uF 的陶瓷电容）。并且旁路电容的放置必须尽量靠近 MCU 电源引脚，从而最大限度地缩小 xVDD 和 xVSS 引脚之间的电容所形成的环路。

模拟外设电源引脚：AVDD50/AVSS50, AVDD50_IO/AVSS50_IO 是芯片内部 ADC、DAC 以及 CMP 等模拟外设的电源输入引脚，为使芯片的模拟外设有稳定的电源，从而得到更好的转换精度，通常需要在靠近 AVDD50 引脚的地方并联两个外部稳压电容（100nF 陶瓷电容+10μF 陶瓷电容）。

另外，为限制电源中的高频噪声，在设计时，可以将 AVDD50 通过电感、磁珠等阻塞元件与数字电源 DVDD50x 进行隔离。电路设计可以参考下图。

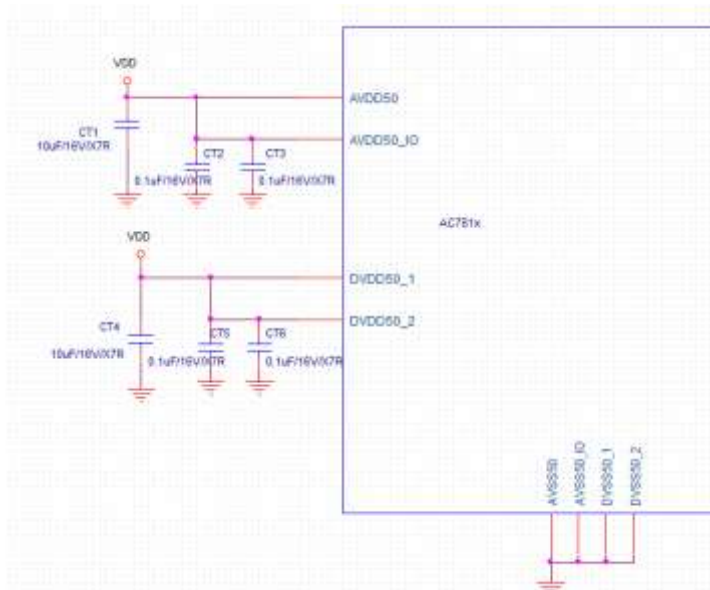


图 2-1 电源电路设计参考电路

3 外部时钟振荡器电路设计

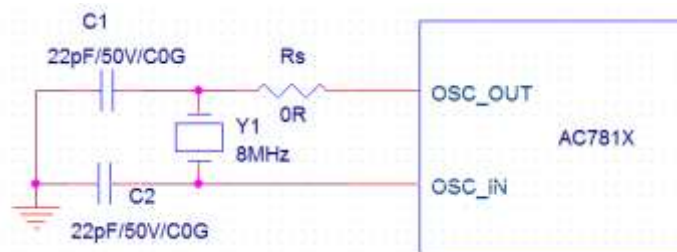


图 3-2 晶振参考电路

表 3-2 外部晶振参数及负载电容

符号	描述	最小值	典型值	最大值
Y1	振荡器频率范围	4MHz	-	30MHz
Rs	串联电阻	-	0R	-
C1,C2	晶振负载电容	参见注释		

注释: 对于 C1 和 C2, 推荐使用为高频率应用设计、满足晶振需求的高质量外部陶瓷电容。CL1 和 CL2 通常大小相同。在确定 C1 和 C2 的大小时, 必须包含 PCB 和 MCU 引脚电容。通常有: $CL = C_s + [C1 \cdot C2 / (C1 + C2)]$, C_s 为 PCB 和 MCU 引脚寄生电容 (10 pF 可用作组合引脚和电路板电容的粗略估计), CL 为晶振规格书要求的晶振负载电容, 可由晶振厂家规格书查得。通常有: $C1 = C2 = 2 \cdot (CL - C_s)$ 。

4 复位电路、NMI 及 BOOT 引脚设计

4.1 NRST 脚复位电路设计

NRST 引脚为 MCU 专用引脚，用于复位和重启 MCU 所有的模块。由于该引脚是低电平有效，建议在硬件原理图设计中添加外部上拉电阻以防止噪声。同时在 PCB 设计中，复位电路尽量靠近 MCU 复位引脚放置以减小 PCB 走线长度。

在基于 MCU 的系统中，除振荡器输入之外的最敏感的输入信号就是复位和 NMI 引脚。NRST 引脚由于内部上拉电阻的存在而呈现高电平，NRST 引脚为输入状态。如果用户想使用外部引脚复位(External pin reset)的话，那么要确保该外部复位电路不是推挽输出的，要开漏输出的才行。

4.2 NMI 引脚电路设计

NMI_B 引脚是芯片的不可屏蔽中断引脚（低电平有效），该引脚可用于 NMI 中断唤醒。该引脚内部具有较大的弱上拉电阻，但如果使用 NMI 功能时，建议增加外部 4.7 kΩ 至 10 kΩ 的上拉电阻。

通过NMI电平触发NMI中断默认是关闭的，要想进入NMI中断，还需要软件使能NMI中断控制位。

4.3 BOOT 引脚电路设计

BOOT 引脚通常用于配合 UART1_CTS， UART1_RTS 引脚实现 MCU 在不同的 BOOT 模式下运行，通常在系统应用设计过程将 BOOT 脚用 4.7K 或 10K 电阻下拉到地即可。

Trap PINs 配置模式 (H: 1; L: 0)			
	BOOT	UART1_CTS	UART1_RTS
eFlash boot	0	X	X
ISP boot	1	0	0
sram boot	1	1	0
serial flash boot	1	0	1

Boot 模式

- **eFlash boot:** 程序在 sFlash 中运行
- **ISP boot:** 使用 ISPTool 进行工厂产线烧录(通过 UART 接口)
- **sram boot:** 程序在 sram 中运行,可方便调试软件
- **serial flash boot:** 程序在外部 Serial Flash 中运行

图 4-3 Boot 模式配置

4.4 复位电路、NMI 及 BOOT 引脚参考电路

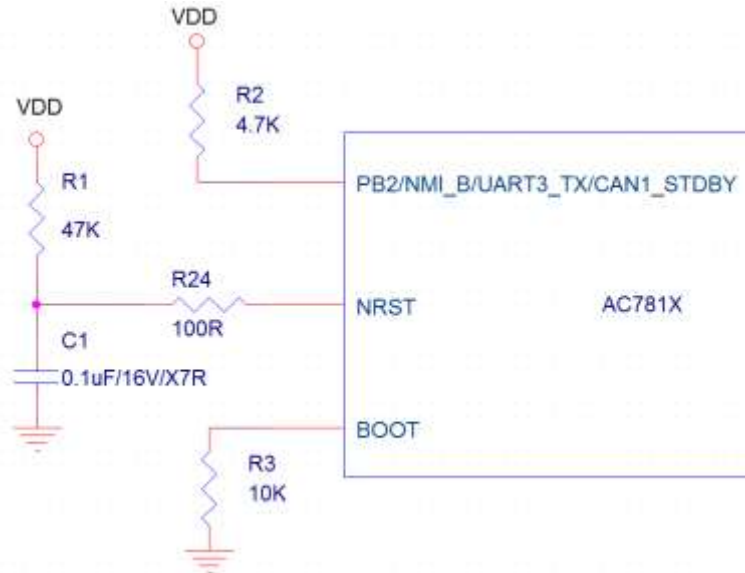


图 4-4 复位电路、NMI 及 BOOT 引脚参考电路

5 ADC 模拟输入电路设计

AC781X MCU 系列提供 12 位的 SAR ADC，支持 1 个 ADC 模块以及 16 个通道。

对模拟输入而言，前端滤波电路的设计非常重要。除了考虑模拟信号的截止频率，还需要考虑源阻抗和采样时间，尤其是对于高分辨率模数转换。常规思想是：快速采样时间与慢速采样时间相比，要求更小的电容值和输入阻抗。高分辨率输入与低分辨率输入相比，要求的电容值和输入阻抗可能更小。一般而言，并联电容值范围是 10 pF（高速转换）至 1 μ F（低速转换），串联电阻的范围是数百欧姆至 10 k Ω 。

- AD 通道的布线要尽量
- 尽量将数字部分和模拟部分的电源分开，并分区覆铜，保证模拟地和数字地只在一个点结合，而且这个点要求远离干扰，有时会选用一个磁珠连接
- 走线周围避免放置高噪声元器件，在模拟通道外围使用模拟地进行隔离
- 要想得到特别准确的采样结果，一般推荐在输入端加一些 Buffer/跟随运放

6 调试接口电路设计

AC781x MCU 同时支持 JTAG 接口和 SWD 接口进行编程调试。

除电源外，JTAG 接口需要用到至少 5 个 PIN 脚（JTAG_TCLK、JTAG_TDI、JTAG_TDO、JTAG_TMS、JTAG_RST）。串行线调试接口(SWD)最少只需要 3 个 Pin 脚（SWD_CLK、SWD_DIO、SWD_RST）。

两者相比，SWD 在高速模式下更稳定，使用引脚更少，所以在使用过程中建议使用 SWD 接口。电路设计可参照下图所示。

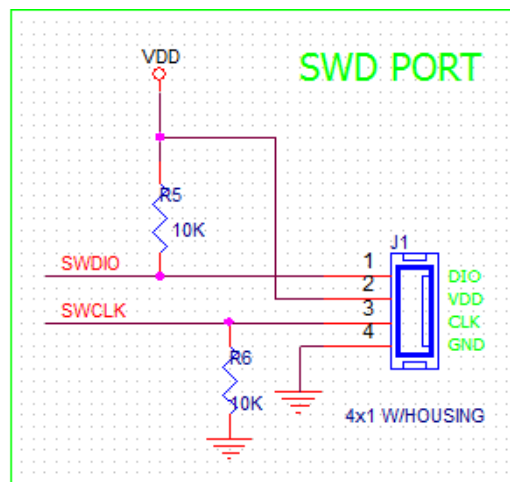


图 6-5 SWD 口参考电路

Chip signal name	Module signal name	Description	I/O
SWD_DIO	SWD_DIO	Serial wire debug data input/output. The SWD_DIO pin is used by an external debug tool for communication and device control. This pin is pulled up internally.	Input / Output
SWD_CLK	SWD_CLK	Serial Wire Clock. This pin is the clock for debug logic when in the Serial Wire Debug mode. This pin is pulled down internally.	Input

图 6-6 SWD 信号描述

7 其他

7.1 UARTTX_SFLASH 引脚

由于 PC3/UARTTX_SFLASH 引脚（64LQFP 管脚号为 46 管脚，80LQFP 管脚号为 58 号管脚）在 MCU 复位状态下默认为输出高电平。该 PIN 脚在 MCU 上电瞬间会输出 2ms 的高电平，在程序下载过程中也会输出高电平。所以建议该 PIN 脚在做 GPIO 使用时最好用做输入脚或 L 有效输出脚，避免上电瞬间或程序下载过程中对应输出控制的误动作。

7.2 GPIO 外部中断唤醒引脚

在 AC781x MCU 低功耗应用中，除了支持芯片内部模块唤醒之外，还支持 GPIO 引脚唤醒。但需要指出的是并不是所有的引脚都能同时支持 GPIO 引脚唤醒，所以在电路设计时需要特别注意。具体是哪些引脚支持 GPIO 外部中断引脚唤醒功能，可以参照芯片 RM 手册的 17.3.1 外部中断章节。

7.3 未用到的 I/O pin 脚处理

- 未用输入引脚连接到适当的逻辑电压电平（例如，VSS 或 VDD）或使能相关引脚的内部上拉电阻，可增强操作的可靠性
- 未使用的晶振引脚建议配置为 GPIO 功能，避免外部信号的干扰

8 PCB 设计建议

8.1 电源部分 PCB 设计建议

为 MCU 添加的退耦和旁路电容器的效果在很大程度上取决于连接位置和顺序，如下图所示。

PCB 布局中 MCU 电源引脚（VDD 和 VSS）的准则如下：

- 将电源引出的电源和接地走线依次连接到退耦电容器、旁路电容器以及 MCU 的 VDD 和 VSS 引脚
- 并行排布电源和接地走线，以最小化环路面积
- 将旁路电容器排布在尽量靠近每个 VDD-VSS 对的位置
- 另外在 PCB layout 过程中应尽量保证 MCU 下方接地平面的完整性，以更好的提升 EMC 性能

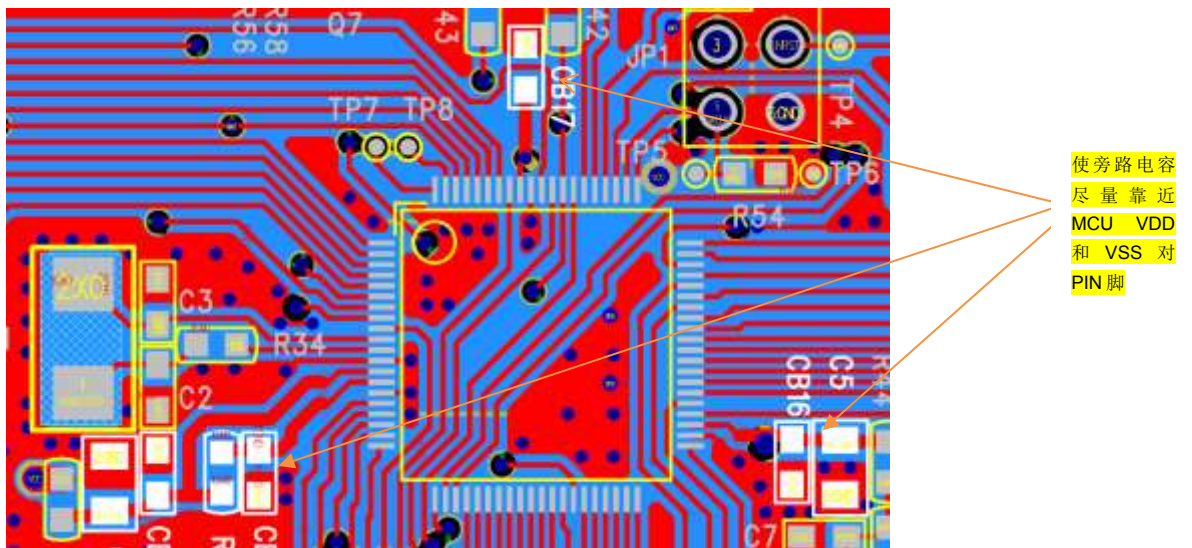


图 8-7 旁路电容 PCB 参考设计

8.2 晶振电路 PCB 设计建议

- 晶体和负载电容需要尽可能近地靠近 MCU 的引脚，以减小输出失真和启动稳定时间
- 晶体正下方的层上不得有任何种类的信号布线
- 合理选用偏置电阻和负载电容，涉及到 EMC 易感性的系统中，应该选用可以使振荡器输入引脚上信号的振幅比较大的那种振荡器配置，但带来后果可能是功耗会比较大
- 晶体及其负载元件周围应放置一个防护环，防止安装层上的相邻信号发生串扰。此防护环可以从晶体引脚相邻的 VSS 引脚起始

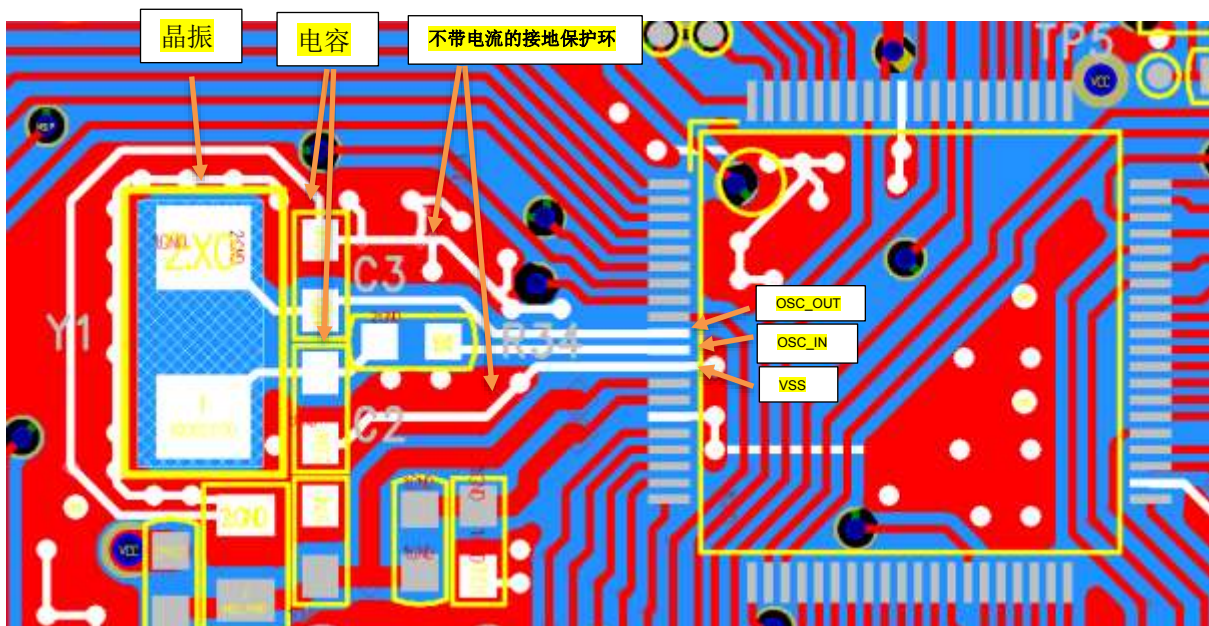


图 8-8 外部晶振 PCB 参考设计